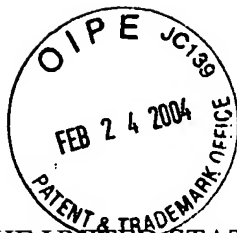


03500.017682.



PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of:)
:)
TOSHIAKI MINAMI)
:) Group Art Unit: 2186
Application No.: 10/670,299)
:)
Filed: September 26, 2003)
:)
For: MEMORY CONTROL)
:)
APPARATUS EXECUTING)
:)
PREFETCH INSTRUCTION) February 23, 2004

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

SUBMISSION OF PRIORITY DOCUMENT


Sir:

In support of Applicant's claim for priority under 35 U.S.C. § 119,
enclosed is a certified copy of the following foreign application:

Japan 2002-285577, filed September 30, 2002.

Applicant's undersigned attorney may be reached in our Costa Mesa,
California office by telephone at (714) 540-8700. All correspondence should continue to
be directed to our address given below.

Respectfully submitted,


Attorney for Applicant

Registration No. 39,000

FITZPATRICK, CELLA, HARPER & SCINTO
30 Rockefeller Plaza
New York, New York 10112-3801
Facsimile: (212) 218-2200

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 9 月 3 0 日
Date of Application:

出 願 番 号 特 願 2 0 0 2 - 2 8 5 5 7 7
Application Number:

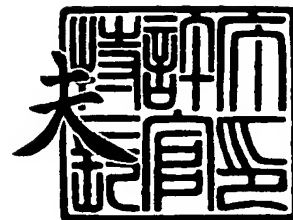
[ST. 10/C] : [J P 2 0 0 2 - 2 8 5 5 7 7]

出 願 人 キヤノン株式会社
Applicant(s):

2 0 0 3 年 1 0 月 2 1 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫





【書類名】 特許願

【整理番号】 4150170

【提出日】 平成14年 9月30日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 G06F 12/00

【発明の名称】 メモリ制御装置

【請求項の数】 7

【発明者】

【住所又は居所】 東京都大田区下丸子3丁目30番2号キャノン株式会社
内

【氏名】 南 利秋

【特許出願人】

【識別番号】 000001007

【住所又は居所】 東京都大田区下丸子3丁目30番2号

【氏名又は名称】 キャノン株式会社

【代表者】 御手洗 富士夫

【電話番号】 03-3758-2111

【代理人】

【識別番号】 100090538

【住所又は居所】 東京都大田区下丸子3丁目30番2号キャノン株式会社
内

【弁理士】

【氏名又は名称】 西山 恵三

【電話番号】 03-3758-2111

**【選任した代理人】****【識別番号】** 100096965**【住所又は居所】** 東京都大田区下丸子 3 丁目 3 0 番 2 号キャノン株式会
社内**【弁理士】****【氏名又は名称】** 内尾 裕一**【電話番号】** 03-3758-2111**【手数料の表示】****【予納台帳番号】** 011224**【納付金額】** 21,000円**【提出物件の目録】****【物件名】** 明細書 1**【物件名】** 図面 1**【物件名】** 要約書 1**【包括委任状番号】** 9908388**【プルーフの要否】** 要



【書類名】 明細書

【発明の名称】 メモリ制御装置

【特許請求の範囲】

【請求項 1】 複数のマスタからの要求に応じてメモリに対して読み出し動作を行うメモリ制御装置であって、

先行読み出し動作の結果を保持するプリフェッチバッファと、

前記複数のマスタのうち特定のマスタを設定する設定手段と、

前記マスタからの読み出し要求時に、当該マスタが前記設定手段により設定されたマスタであるか否かを判別し、当該設定されたマスタであると判別されれば、前記先行読み出し動作の結果を前記プリフェッチバッファに格納するよう制御する制御手段とを備えることを特徴とするメモリ制御装置。

【請求項 2】 前記設定手段は、前記複数のマスタの中から前記特定のマスタを任意に設定可能であることを特徴とする請求項 1 に記載のメモリ制御装置。

【請求項 3】 前記複数のマスタとは共有バスを介して接続していることを特徴とする請求項 1 に記載のメモリ制御装置。

【請求項 4】 前記先行読み出し動作は、前記マスタからの要求に対する前記メモリからの読み出し動作と同時にを行うことを特徴とする請求項 1 に記載のメモリ制御装置。

【請求項 5】 前記プリフェッチバッファは、データと該データのアドレスと該データの有効性を示すフラグとを含む情報を 1 ないし複数組格納することを特徴とする請求項 1 に記載のメモリ制御装置。

【請求項 6】 前記マスタからの読み出し要求時に、要求されたアドレスと前記プリフェッチバッファに格納されているデータのアドレスとを比較し、当該データのフラグをチェックして、前記要求されたアドレスと一致し、前記フラグが有効なデータがあれば、当該データを前記マスタのリードデータとして返し、該当するデータがない場合に、当該マスタが前記設定手段により設定されたマスタであれば、前記先行読み出し動作の結果を前記プリフェッチバッファに格納するよう制御することを特徴とする請求項 5 に記載のメモリ制御装置。

【請求項 7】 前記マスタからの書き込み要求時に、要求されたアドレスと



前記プリフェッチバッファに格納されているデータのアドレスとを比較し、必要に応じて前記フラグを無効な状態に変更することを特徴とする請求項5に記載のメモリ制御装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、先読み動作を実行可能なメモリ制御装置に関するものである。

【0002】

【従来の技術】

近年においてもCPUの高速化はとどまるところを知らず、年間1.5倍以上のペースで向上している。これにともない単位時間あたりに主記憶装置との間で転送されるデータ量も同様なペースで増加している。これを緩和するため、メモリアクセスの局所性を利用して高速な記憶アクセスを得るために、CPUに備えつけられるキャッシュの容量を増大したり、あるいはこれを階層化することが行われている。しかしそれでもCPUの動作速度と主記憶のアクセス速度のギャップの増大を解決することは年々難しくなっている。

【0003】

これを根本的に解決するには、主記憶それ自体のアクセス速度（メモリバンド幅）を大幅に向上させる必要がある。今日、パーソナルコンピュータ（PC）などの主記憶装置には、通常半導体メモリであるダイナミックRAM（DRAM）が用いられている。CPUの速度向上は半導体デバイス自体の進歩による速度の向上を超えているため、DRAMにおいても回路構成あるいは方式面での工夫によりこれを達成しなければならない。

【0004】

このような経緯から、過去メモリバンド幅を向上させるための様々な方式が考案され実用化されてきたが、最近新たに実用化され注目を浴びている方式としてダイレクタラムバスDRAMが挙げられる。ダイレクタラムバスDRAMではチャネルの概念を取り入れ1チャネル当たり最大毎秒1.6GBの高いメモリバンド幅を実現できる。



【0005】

図1に、ダイレクタラムバスDRAMのRSLチャネルにおける転送プロトコルの一例を示す。ダイレクタラムバスでは一クロックサイクルあたりクロックの立ち上がり、立ち下がりの両タイミングでデータを転送し、4クロックで一つの packets を構成する。

【0006】

図1では、まずサイクル0から3においてxで指定されるページをアクティベートするロウパッケージが発行されている。ここにxはそれぞれ特定のビット数からなるデバイスID、バンクアドレス、ロウアドレスの組を表している。次いでサイクル7から10においてx0で指定されるアドレスのデータを読み出すことを指示するコラムパッケージが発行されている。ここにx0はそれぞれ特定のビット数からなるデバイスID、バンクアドレス、コラムアドレスの組を表しており、ここにおけるデバイスID、バンクアドレスxにおけるものと同一である。

【0007】

コラムアドレスはページ内の1つのアドレスを指定する。さらにサイクル11から14においてx1で指定されるアドレスのデータを読み出すことを指示するコラムパッケージが発行されている。ここにx1はそれぞれ特定のビット数からなるデバイスID、バンクアドレス、コラムアドレスの組を表しており、ここでもデバイスIDバンクアドレスはxにおけるものと同一である。すなわちこれらロウパッケージ、コラムパッケージの組により、同一デバイス、同一バンク、同一ページ内の2つのアドレスからのリードが実行される。サイクル19からサイクル22において、1番目(x0)のリードコマンドに対応するデータがDRAMから読み出され、サイクル23からサイクル26において、2番目(x1)のリードコマンドに対応するデータがDRAMから読み出されている。

【0008】

図1に示す例では、この一連のリード動作と並行して他のバンクからのリードも行われている。すなわちサイクル8から11においてyで指定されるページをアクティベートするロウパッケージが発行されている。ここにyは先行するxとは別のバンク（別のデバイスか同じデバイスの干渉しないバンク）に位置するペー

ジを指している。次いでサイクル15から18において、y0で指定されるアドレスのデータを読み出すことを指示するカラムパケットが発行されている。ここにy0におけるデバイスID、バンクアドレスは、yにおけるものと同一である。更にサイクル19から22において、y1で指定されるアドレスのデータを読み出すことを指示するカラムパケットが発行されている。ここでもy1におけるデバイスID、バンクアドレスはyにおけるものと同一である。

【0009】

サイクル27からサイクル30において、3番目(y0)のリードコマンドに対応するデータがDRAMから読み出され、サイクル31からサイクル34において、4番目(y1)のリードコマンドに対応するデータがDRAMから読み出されている。以下、z, z0, z1, q, q0, q1についても同様であり、x, yとは干渉しないバンクzのアクティベートおよびx, y, zとは干渉しないバンクqのアクティベートが行われ、5番目(z0)、6番目(z1)、7番目(q0)、8番目(q1)のリードコマンドの発行に応じて、それぞれのデータが読み出されている。

【0010】

このように連続するコマンドがロウパケット、カラムパケット、データパケットの各フェーズ毎にパイプライン動作を行っている。このようにして、ダイレクトラムバスDRAMでは、4段のパイプラインで32バイト単位でアクセスした場合に最大のバンド幅が得られる。

【0011】

それ故、32バイトより小さいサイズでのアクセスでは実効バンド幅が低下してしまう。例えば連続する32バイトのデータを一度に32バイトまとめてリードした場合と、16バイトずつ2回に分けてリードした場合、前者の方が効率が良く短時間で終了する。

【0012】

もし32バイトより小さい単位のアクセスが頻繁に生じるような場合には、メモリコントローラ内にプリフェッチバッファを備えることにより、アクセス効率を向上させることが可能である。



【0013】

図2は、プリフェッチバッファを備える従来のメモリコントローラの一構成例を説明する図である。

【0014】

図2において、200はメモリコントローラであり、システムバス210を介して、CPUやDMAコントローラ、バスブリッジなどのバスマスタ220、221、222、223と接続されると共に、DRAM（本例においてはダイレクトRDRAM）230、231、232、233と接続される。前記バスマスタ220、221、222、223は、システムバス上でのアクセス競合を避けるため、図示されない調停装置によってアクセスを調停され、同時に1つのマスタのみがメモリコントローラ200にアクセスすることができるようになっている。

【0015】

241は双方向のデータ信号（DQA〔8：0〕，DQB〔8：0〕）線であり、ライト時はメモリコントローラからDRAMへ、リード時にはDRAMからメモリコントローラへデータを伝送する。242、243はそれぞれロウ信号（ROW〔2：0〕）、カラム信号（COL〔4：0〕）線であり、メモリコントローラからDRAMへそれぞれロウパケット、カラムパケットを伝送する。244、255はチャンネル上のクロック信号（CTM，CFM）である。

【0016】

201～205は前記メモリコントローラ200の構成要素である。203はシステムバスと接続するためのシステムバスインターフェース回路である。204はリード・ライトコマンドを一時格納しておくためのバッファである。202はリード・ライトコマンドをメモリチャンネル上のプロトコルに翻案しチャンネル上に送出し、またリードデータをチャンネルから受け取るためのメモリチャンネルインターフェース回路である。205は必要に応じリードデータの一部とそのアドレスを格納し、また必要に応じ格納するデータをシステムバスインターフェース203に転送するプリフェッチバッファであり、保持しているアドレス・データが有効であるか無効であるかを示す図示されない有効フラグを備えている。201

はメモリコントローラの各ブロックの動作タイミングを制御する制御装置である。

【0017】

一般にメモリへのアクセスには局所性があり、メモリ内のある番地からデータが読み出されたとき、連続する番地のデータが短時間のうちに読み出されることが高い確率で期待できる。バスマスタ220より16バイトのリードアクセスが生じたとき、メモリコントローラ200はその指定されたアドレスのデータとともに、後続のアドレスに存在する16バイトのデータをも含む32バイトのデータを、DRAM230、231、232、233のいずれかから読み出す。そして指定された16バイトのデータは、前記システムバス210を介してデータを要求した前記バスマスタ220に転送し、残りの16バイトのデータを前記プリフェッチバッファ205に格納し保持しておく。その後、前記いずれかのバスマスタより保持しておいた後続アドレスへのアクセス要求が生じたとき、メモリコントローラ200はDRAMに対するリード動作を行わず、代わりにプリフェッチバッファ205内に保持しているデータを、システムバスインターフェース203を介して、アクセス要求を出したバスマスタに転送する。

【0018】

例えばバスマスタ220からアドレスh00120番地（hは16進数を表す）からh0012f番地までに格納されている16バイトのデータに対するリードアクセス要求があったとする。これらアドレスがDRAM230に割り当てられているとすれば、メモリコントローラ200はこの要求を受け付け、一旦バッファ204に格納し、その後メモリチャネルインターフェース202を通じてDRAM230の当該番地に対するリードコマンドパケットを送出する。このときさらに当該番地の後続の16バイトを読み出すカラムパケットも送出的。DRAM230はこれらリードコマンドに呼応し既定の遅延時間ののち、当該連続番地に格納している合計32バイトのデータを順次チャネル上に送出的。

【0019】

メモリコントローラ200はチャネル上に送出的された32バイトのデータをメモリ、チャネルインターフェース202において受け取ると、該データ中前半の

16 バイトをシステムバスインターフェース 203 からシステムバス 210 を介しバスマスタ 220 に送信する。

【0020】

一方、後半の 16 バイトについては、その先頭アドレス h00130 番地とともにプリフェッチバッファ 205 に格納するとともに、プリフェッチバッファ 205 の内容が有効であることを示す有効フラグを立てる。その後、再びバスマスタ 220 よりアドレス h00130 番地（h は 16 進数を表す）から h0013f 番地までに格納されている 16 バイトのデータに対するリードアクセス要求があった場合、直ちにプリフェッチバッファ 205 内の 16 バイトのデータを、システムバスインターフェース 203 からシステムバス 210 を介し、バスマスタ 220 に送信する。このようにしてメモリアクセスの効率を高めるとともに、リードレイテンシを大幅に減少させることができる。

【0021】

また、リードアクセスが生じて、任意のアドレスのデータをプリフェッチバッファ 205 に格納した後、もし同一アドレスに対してライトアクセスが生じた場合は、メモリコントローラ 200 はプリフェッチバッファ 205 の保持する内容が無効化する。前記例においては、h00130 番地から h0013f 番地までの連続する 16 バイトのデータをプリフェッチバッファ 205 に格納した後、バスマスタ 222 が同一アドレス範囲ないしはこのアドレス範囲と重複するアドレス範囲に対するライト要求を発行した場合、メモリコントローラ 200 はプリフェッチバッファ 205 内の有効フラグを直ちにリセットする。

【0022】

このようにして古いデータがバスマスタに返されるのを防ぎ、データの一貫性を保つことができる。

【0023】

【発明が解決しようとする課題】

上述の如く、メモリコントローラにプリフェッチバッファを設けた場合、多くのエントリ（バッファに格納するアドレスとデータの対）を備えると回路規模が増大してしまう。そのため、上記例においては 1 エントリのみを備えている。こ

のとき、1つのバスマスタのみが存在し、該マスタが局所的にデータをアクセスする場合には、プリフェッチバッファは有効に機能するが、もしバスマスタが複数存在し、それらが交互に異なったアドレス範囲のデータをアクセスする場合、プリフェッチバッファの内容が、参照される前に置き換えられる状況が頻繁に生じ、プリフェッチバッファの有効性が損なわれてしまう。

【0024】

例えば、図3において、第1サイクルからバスマスタ220がh10020番地からh1002f番地までの16バイトのデータに対するリードアクセス要求を発行している。この結果として第5サイクルにはプリフェッチバッファ205にはh10030番地からh1003f番地までの16バイトのデータが格納される。

【0025】

次いで第6サイクルにおいて、バスマスタ223がh8a40番地からh8a4f番地までの16バイトのデータに対するリードアクセス要求を発行している。これにより、第10サイクルには、プリフェッチバッファ205では、h10030番地からh1003f番地までの16バイトのデータが全く参照されることなくh8a50番地からh8a5f番地までの16バイトのデータに置き換えられてしまう。

【0026】

その後第11サイクルで、バスマスタ220が、前回リードしたデータに続くh10030番地からh1003f番地までの16バイトのデータに対するリードアクセス要求を発行すると、このアドレスに対応するデータはプリフェッチバッファ205にはすでに存在しないので、再びメモリから読み出されることになり、第15サイクルにはプリフェッチバッファ205の内容は後続アドレスh10040番地からh1004f番地までの16バイトのデータに置き換えられる。その後、第16サイクルにおいて、バスマスタ223が前回リードしたデータに続くh8a50番地からh8a5f番地までの16バイトのデータに対するリードアクセス要求を発行すると、このアドレスに対応するデータももはやプリフェッチバッファ205内には存在しないので、再びメモリから読み出されなけれ



ばならない。

【0027】

このように複数のバスマスタが同時に動作する場合、従来のメモリコントローラでは、少数のエントリのみを備えるプリフェッチバッファを有効に機能させることができないという問題があった。

【0028】

【課題を解決するための手段】

上記問題点を解決するために、本発明によれば、複数のマスタからの要求に応じてメモリデバイスに対して読み出し動作を行うメモリ制御装置に、先行読み出し動作の結果を保持するプリフェッチバッファと、前記複数のマスタのうち特定のマスタを設定する設定手段と、前記マスタからの読み出し要求時に、当該マスタが前記設定手段により設定されたマスタであるか否かを判別し、当該設定されたマスタであると判別されれば、前記先行読み出し動作の結果を前記プリフェッチバッファに格納するよう制御する制御手段とを備える。

【0029】

【発明の実施の形態】

以下、図4～図5に基づき、本発明の1実施形態を説明する。比較のため図2と同一の構成要素については番号に'をつけて示している。

【0030】

図4が図2と異なる個所はシステムバス210'にバスマスタを識別する信号211（バスマスタID）が明示されている点である。これはシステムバス210'を成す信号群の一部であるが、説明を明確にするために分離して示しているものであり、そもそもシステムバス210に備わる信号であってもよいし、新たに付け加えられるものであっても良い。近年では半導体の集積度が増し、システム全体を集積したシステムLSIが一般化しているが、システムLSIにおいては前記システムバス210、はLSIチップ内部に入っており、少数の信号線を追加したとしてもシステム設計上問題とはならない。

【0031】

本実施形態においては、バスマスタが220'～223'の4つの場合を示し

ているため2本〈ビット〉の信号線より成る。これら4つのバスマスタと図5中のバスマスタIDとの関係は図6に示されている。

【0032】

本実施形態では更に、制御回路201に対して、プリフェッチバッファ205'を置き換えることが可能なバスマスタを指定するデータを図示しないレジスタに設定するようにし、前記バスマスタを指定するレジスタの内容と前記バスマスタ識別信号211とを比較し、一致する場合のみプリフェッチバッファ205'の内容を置き換えるようにする変更が加えられている。

【0033】

いま前記プリフェッチバッファ205'を置き換えることが可能なバスマスタを指定するためのレジスタに、バスマスタ220'のみを設定した場合を例としてシステムバス上の動作を図5に説明する。

【0034】

第1サイクルからバスマスタ220'がh10020番地から、h1002f番地までの16バイトのデータに対するリードアクセス要求を発行している。メモリコントローラ200'は、バスマスタ識別信号211によりシステムバス上のこのリードアクセス要求がバスマスタ220'からのものであることを知ることができ、かつこのバスマスタ220'はプリフェッチバッファ205'を置き換えることを許可されているので、結果として第5サイクルにはプリフェッチバッファ205'にリードアクセスにおいて要求されたアドレスh10020番地からh1002f番地に続くh10030番地からh1003f番地までの16バイトのデータが格納される。

【0035】

次いで第6サイクルからバスマスタ223'がb8a50番地から、b8a5f番地までの16バイトのデータに対するリードアクセス要求を発行している。メモリコントローラ200'はバスマスタ識別信号211によりシステムバス上のこのリードアクセス要求がバスマスタ223'からのものであることを知ることができ、かつこのバスマスタ223'はプリフェッチバッファ205'を置き換えることを許可されていないので、このリードアクセスによってはプリフェッ

チバッファ 205' の内容に変化はない。

【0036】

その後第11サイクルからバスマスタ 220' が前回リードしたデータに続く h10030 番地から h1003f 番地までの16バイトのデータに対するリードアクセス要求を発行する。前記従来例とは異なり、このアドレスに対応するデータはプリフェッチバッファ 205' になお存在するので、第12サイクルでその内容が直ちにシステムバス 210' を通じてバスマスタ 220' に渡される。第14サイクルからバスマスタ 220' が前回リードしたデータに続く h10040 番地から h1004f 番地までの16バイトのデータに対するリードアクセス要求を発行している。この結果第18サイクルにはプリフェッチバッファ 205' は h10050 番地から h1005f 番地までの16バイトのデータに置き換えられる。

【0037】

以降同様にして、バスマスタ 220' のみがプリフェッチバッファの内容を置き換えることができるため、バスマスタ 220' はプリフェッチバッファの機能を有効に利用できる。また第19サイクルからバスマスタ 222' が、h10040 番地から、h1005f 番地まで32バイトのデータをライトしている。このライトは現在プリフェッチバッファに保持されているアドレス範囲を包含するので、メモリコントローラ 200' はこれら32バイトのデータを指定されたアドレスにライトするパケットをメモリチャネルに発行すると同時に有効フラグをクリアすることによりプリフェッチバッファ 205' の内容を無効化する。第22サイクルからバスマスタ 220' が前回リードしたデータに続く、h10050 番地から、h1005f 番地までの16バイトのデータに対するリードアクセス要求を発行するが、プリフェッチバッファ 205' の内容はすでに無効化されているため、このリードアクセスはDRAMからデータを読み出す。従って古いデータがバスマスタ 220' に渡されることはない。

【0038】

以上、本実施形態ではプリフェッチバッファの持つエントリ数が1の場合について説明したが、もちろん任意の数のエントリ数の場合にも本発明が適用できる

ことは言うまでもない。多くのエントリを備えるほど、より多くのバスマスタについてプリフェッチバッファを置き換え可能なように設定したとしてもプリフェッチバッファの有効性は低下しない。

【0039】

また本実施形態においては、プリフェッチバッファに格納されるデータは、バスマスタによりリード要求があったアドレスの後続アドレスに格納されているデータとしているが、リード要求のあった該アドレスのデータを含む32バイト単位のブロック毎としてもよい。

【0040】

また本実施形態では、リード要求のあったアドレスのデータはプリフェッチバッファに格納していないが、これを含む32バイトのデータ全てを格納するようにしても良い。

【0041】

本実施形態では、説明を簡単にするために、32バイトおよび16バイト単位でのリード・ライトアクセスのみを示しているが、より小さいサイズでアクセスしてもよいことは言うまでもない。その場合32バイト境界から該アクセスデータを含む32バイトのデータを同時にリードし、プリフェッチバッファに格納すればよい。

【0042】

本実施形態においては、プリフェッチバッファの保持するデータと重複するアドレス範囲へのライトが生じた場合、プリフェッチバッファの内容を無効化するようにしているが、プリフェッチバッファの内容をライトされるデータと入れ替えるようにしてももちろん良い。

【0043】

また本実施形態においてはDRAMとしてダイレクトRDRAMを用いる場合を例とし、32バイト単位の転送時にバンド幅が最大になる場合を示したが、その他どのような種類のDRAMあるいは記憶デバイスにおいても、それぞれで最適な転送サイズにおいて本発明が適用できることは言うまでもない。

【0044】

本実施形態においては、プリフェッチバッファの内容を置き換えることができるバスマスタをレジスタ設定によって変更できる場合を説明したが、プリフェッチバッファの内容を置き換えることができるバスマスタを初めから固定しておいてもよい。

【 0 0 4 5 】

【発明の効果】

以上説明したように、本発明によれば、プリフェッチバッファを有するメモリ制御装置において、プリフェッチバッファの内容を置き換えることのできるマスタを制限できるので、複数のバスマスタが同時にメモリにアクセスする場合にもプリフェッチバッファの機能を有効に利用することが可能になるという効果がある。

【図面の簡単な説明】

【図 1】

ダイレクト R A M B U S チャンネル上のメモリアクセスプロトコルの一例を説明する図である。

【図 2】

従来のメモリコントローラを含むシステムの構成を説明する図である。

【図 3】

従来例におけるシステムバス上のアクセスタイミング及びプリフェッチバッファの内容を説明する図である。

【図 4】

本発明の一実施形態のメモリコントローラを含むシステムの構成を説明する図である。

【図 5】

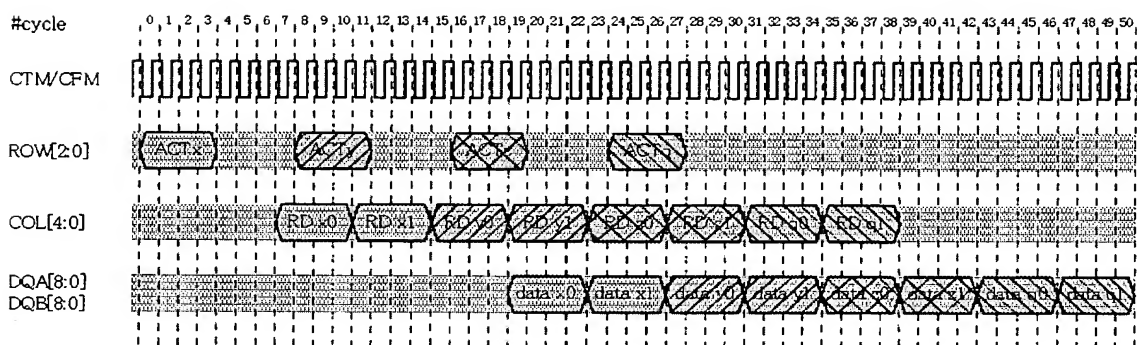
本発明の一実施形態におけるシステムバス上のアクセスタイミング及びプリフェッチバッファの内容を説明するタイミング図である。

【図 6】

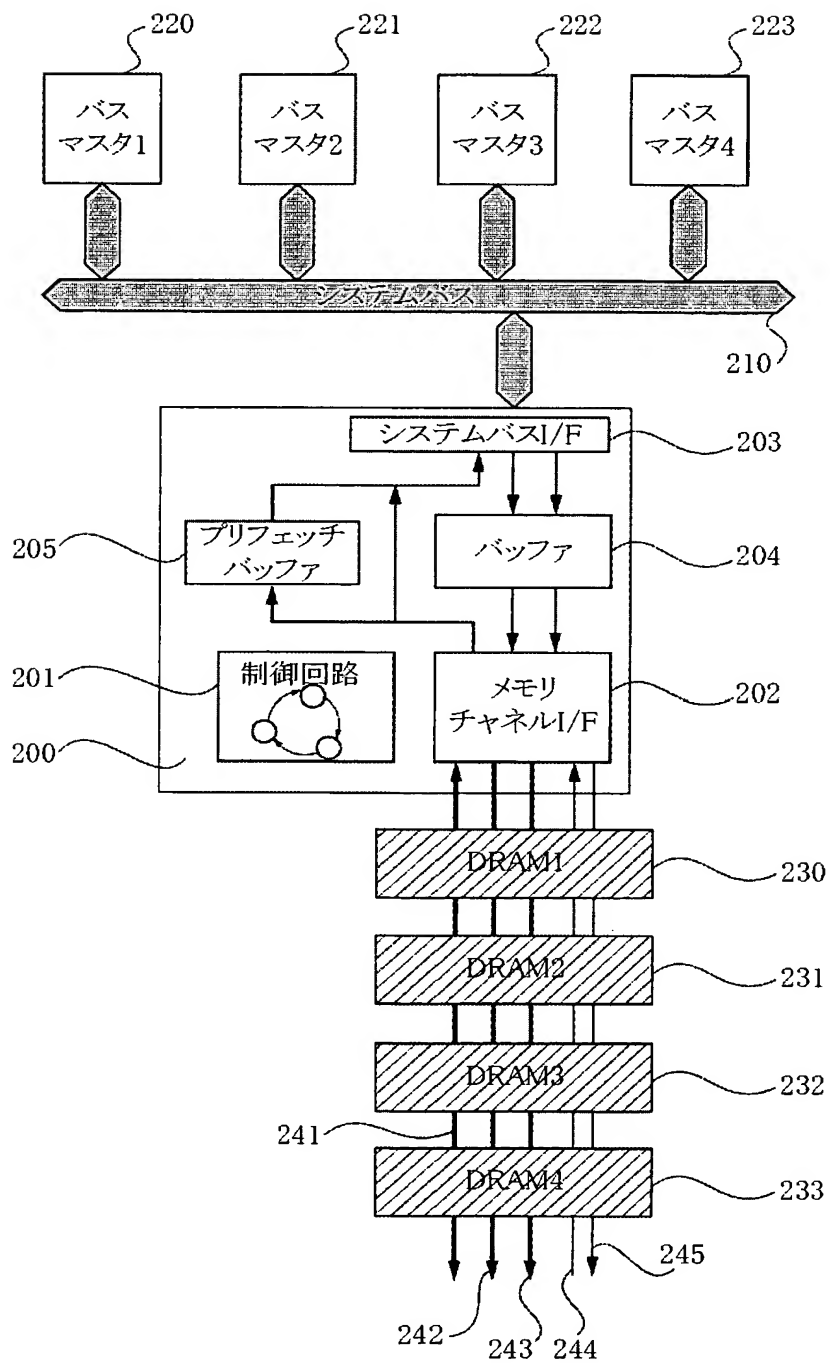
バスマスタとバスマスタ I D との関係表を示す図である。

【書類名】 図面

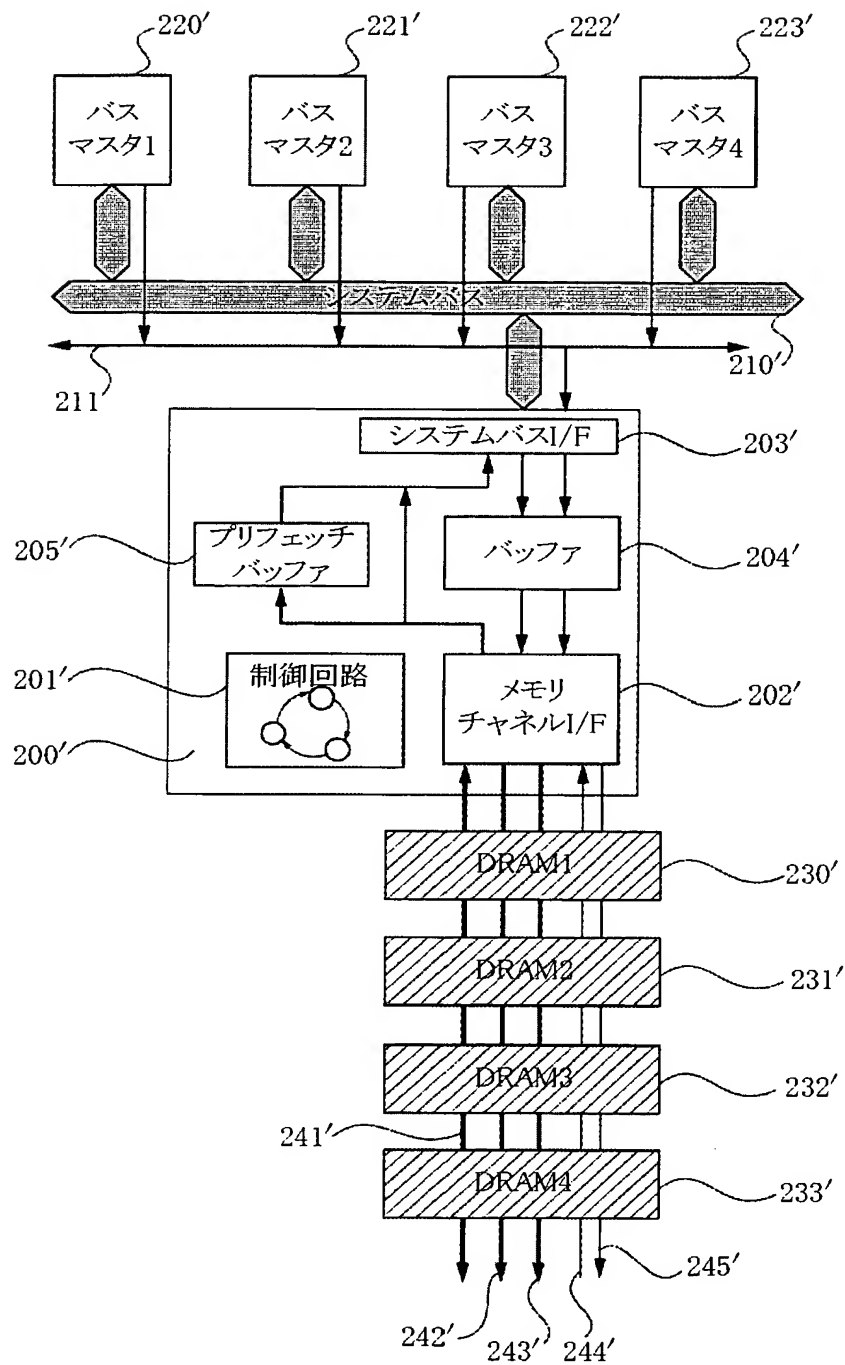
【図 1】



【図 2】



【図 4】



【図 6】

バス・マスタ	バス・マスタID
220	00
221	01
222	10
223	11

【書類名】 要約書

【要約】

【課題】 メモリコントローラにおいて、プリフェッチバッファを有効に機能させる。

【解決手段】 複数のマスタ 2 2 0' ~ 2 2 3' からの要求に応じて D R A M 2 3 0' ~ 2 3 3' に対して読み出し動作を行うメモリコントローラ 2 0 0' に、先行読み出し動作の結果を保持するプリフェッチバッファ 2 0 5' と、複数のマスタ 2 2 0' ~ 2 2 3' のうち特定のマスタを設定するレジスタと、前記マスタからの読み出し要求時に、当該マスタがレジスタに設定されたマスタであるか否かを判別し、当該設定されたマスタであると判別されれば、前記先行読み出し動作の結果をプリフェッチバッファ 2 0 5' に格納するよう制御する制御回路 2 0 1' とを備える。

【選択図】 図 4

特願 2 0 0 2 - 2 8 5 5 7 7

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 1 0 0 7]

1. 変更年月日

1 9 9 0 年 8 月 3 0 日

[変更理由]

新規登録

住 所

東京都大田区下丸子 3 丁目 3 0 番 2 号

氏 名

キャノン株式会社